

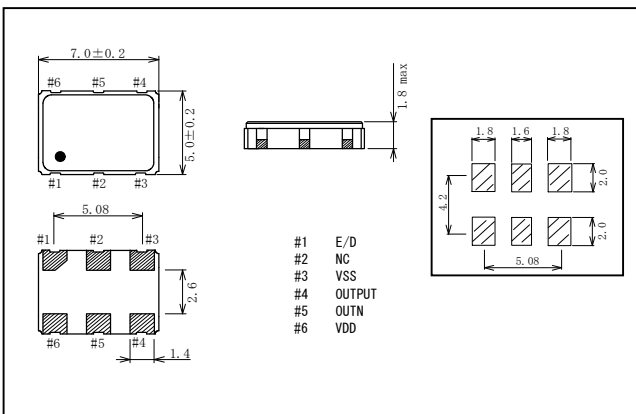
★ クロック水晶発振器・製品仕様一覧表

型番	パッケージ	出力波形	周波数範囲	電源電圧	動作温度範囲	Tr/tF	RMSジッタ*
CL20***	7×5mm	LVDS	80MHz~320MHz	+2.5V/+3.3V	0~+70°C -10~+70°C -20~+70°C -40~+85°C	0.7ns以下	0.2~0.6pS typ
CL28***			13.5MHz~220MHz	+3.3V		0.4ns以下	0.2~0.3pS typ.
LL244**			11.8~650MHz			0.5ns以下	0.6pS typ.
CL244**	5×3.2mm		0.75MHz~800MHz	+2.5V/+3.3V		1.0ns以下	2.5pS typ.
CL50***			80MHz~320MHz			0.7ns以下	0.2~0.6pS typ
CL58***			13.5MHz~220MHz	0.4ns以下		0.2~0.3pS typ.	
CP20***	7×5mm	LV-PECL	25MHz~350MHz	+2.5V/+3.3V		0.7ns以下	0.2~0.5pS typ
CP28***			13.5MHz~220MHz	+3.3V		0.5ns以下	0.2~0.3pS typ.
PP244**			10.8~766MHz 876~1170MHz			0.5ns以下	0.6pS typ.
CP244**			0.75MHz~700MHz	1.0ns以下		2.5pS typ.	
CP50***	5×3.2mm		25MHz~350MHz	+2.5V/+3.3V		0.7ns以下	0.2~0.5pS typ
CP58***			13.5MHz~220MHz	0.5ns以下		0.2~0.3pS typ.	
CH28***	7×5mm	HCSL	27MHz~220MHz	+2.5V/+3.3V	0.5ns以下	0.2~0.3pS typ.	
CH58***	5×3.2mm						
CX504**	5×3.2mm	CMOS	1MHz~166MHz	+3.3V	5ns以下 (75MHz以下) 3ns以下 (75.1MHz以上)	0.2pS以下	
CX107**	7×5mm		1MHz~106.25MHz	+5.0V			
CX104**			1MHz~166MHz	+3.3V			
OV-7604-C7	3.2×1.5mm		32.768KHz	+1.2~5.5V			-40~+85°C -40~+125°C

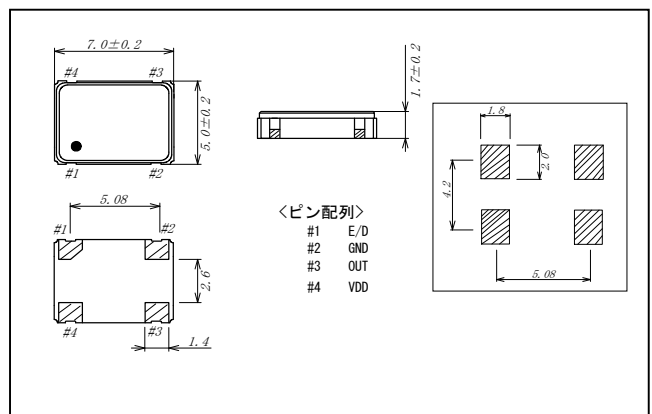
* RMSジッタ ...@ 12KHz~20MHzオフセットにて

■ 外形寸法図・推奨ランドパターン (単位:mm)

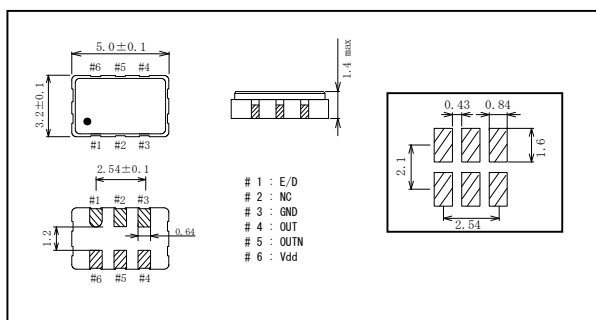
< 7.0×5.0mm 差動出力タイプ >



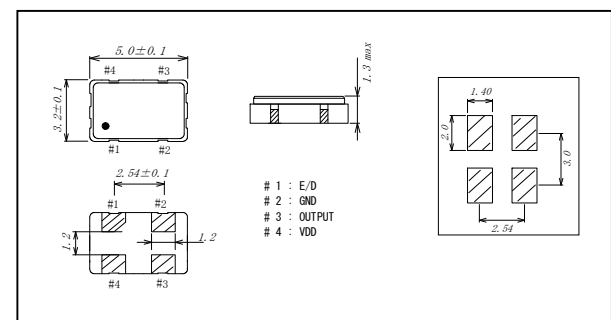
< 7.0×5.0mm CMOS出力タイプ >



< 5.0×3.2mm 差動出力タイプ >

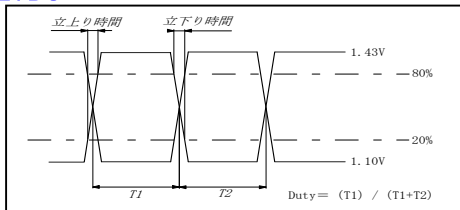


< 5.0×3.2mm CMOS出力タイプ >

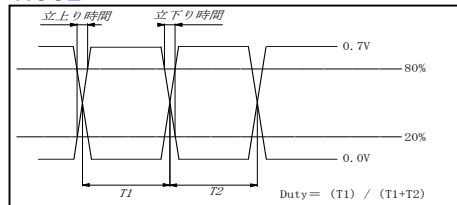


■ 出力波形

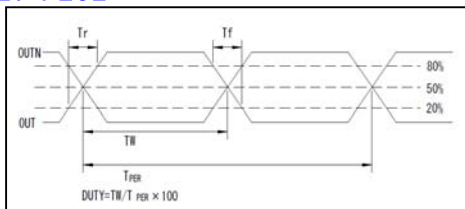
・ LVDS



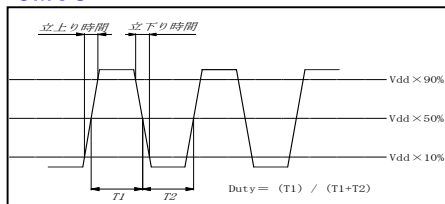
・ HCSL



・ LV-PECL

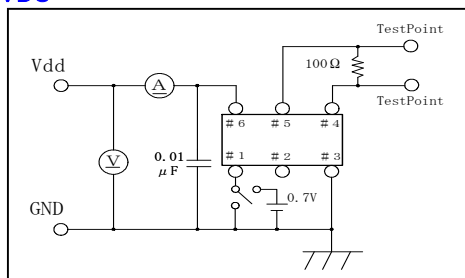


・ CMOS

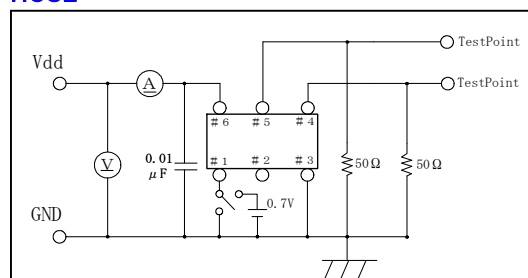


■ 測定回路

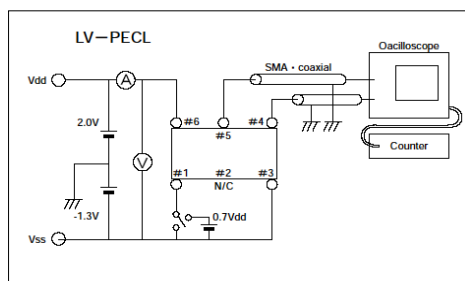
・ LVDS



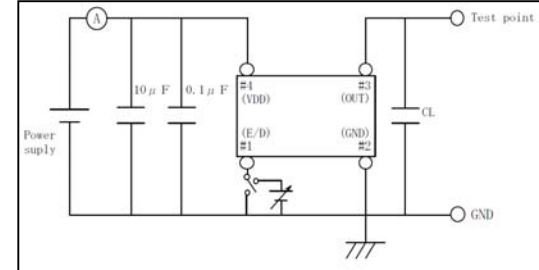
・ HCSL



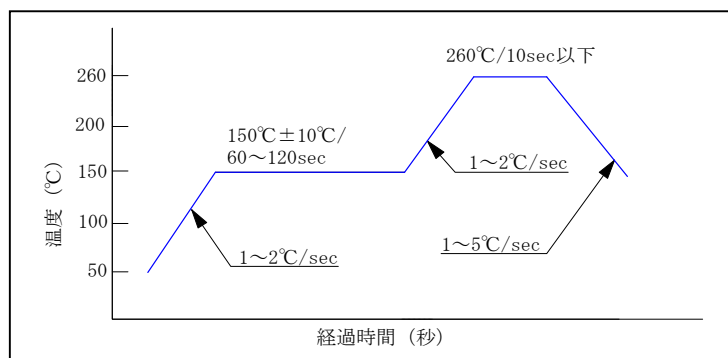
・ LV-PECL



・ CMOS



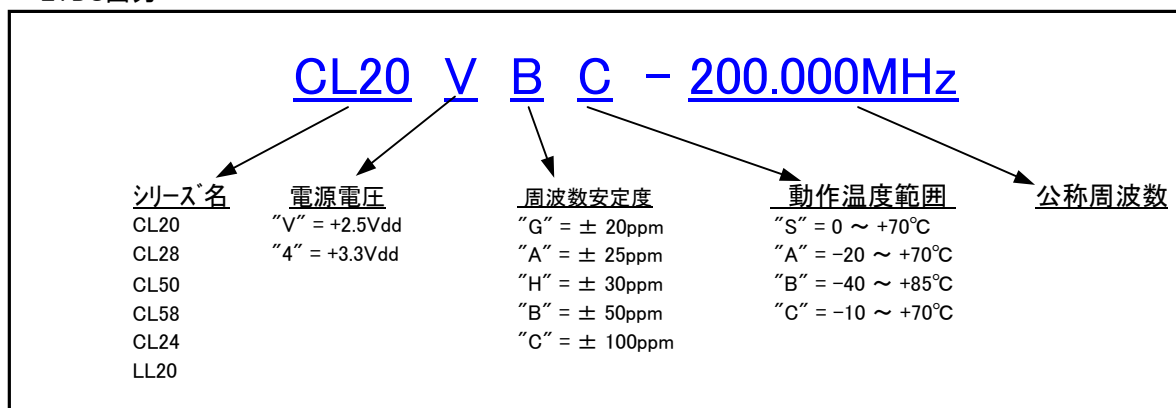
■ リフローはんだ付け条件



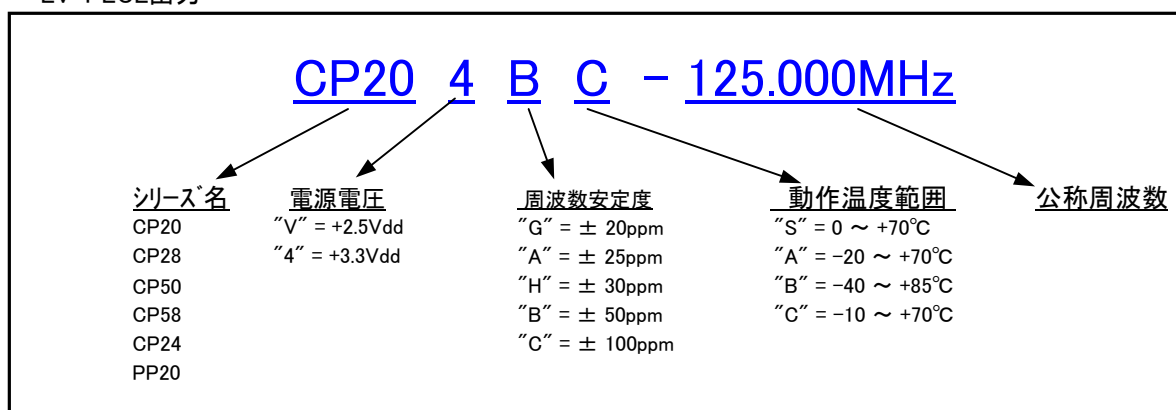
※ 上記を超えない条件でご使用下さい。
またリフロー回数は『2回まで』としてそれ以上は行わないで下さい。

■型番指定方法

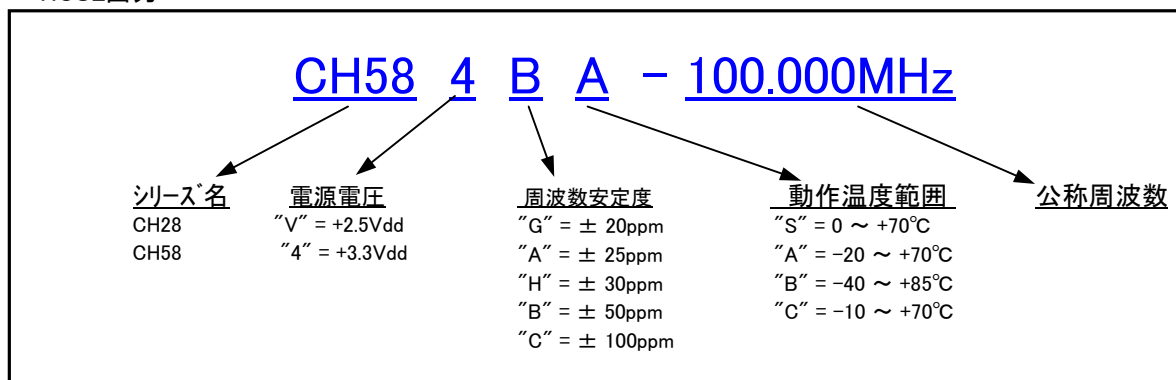
・ LVDS出力



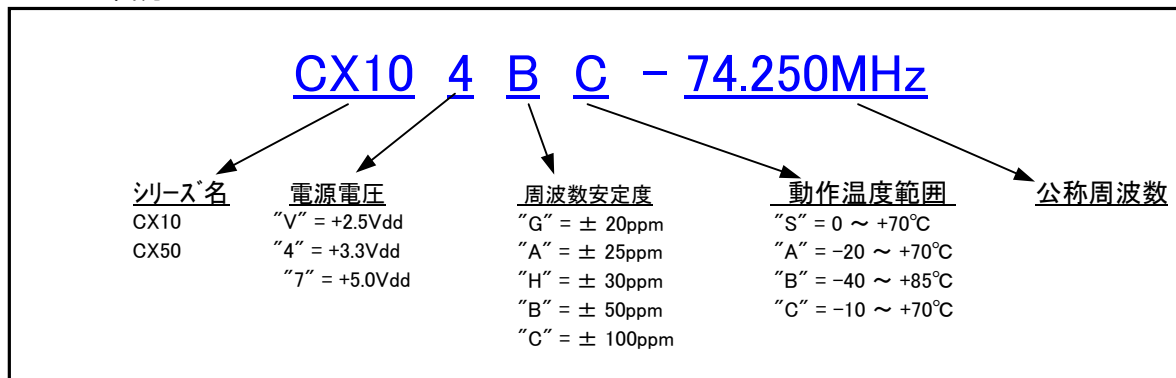
・ LV-PECL出力



・ HCSL出力



・ CMOS出力



★ 部品選定に際してのポイント

■ FPGAのリファレンスクロック用途

FPGAのリファレンスクロック用途として以下の型番・周波数のものを取り揃えています。

いずれも標準在庫品で開発試作時にも納期がかかることなくスムーズに評価していただけます。

用途	シリアル ボーレート	クロック周波数	推奨型番	電源電圧	在庫
高速シリアル インターフェース 用途	1.0Gbps	50MHz	CL284BB-50MHz	+3.3V	常時在庫
	2.0Gbps 動作クロック	100MHz	CL20VB-100MHz	+2.5V	常時在庫
			CL204B-100MHz	+3.3V	常時在庫
	1.0625Gbps 2.125Gbps	106.250MHz	CL20VBC-106.25MHz	+2.5V	常時在庫
			CL204B-106.25MHz	+3.3V	常時在庫
	1.25Gbps 2.5Gbps	125MHz	CL20VBC-125MHz	+2.5V	常時在庫
			CL204B-125MHz	+3.3V	常時在庫
			CL28VBE-125MHz	+2.5V	常時在庫
	2.7Gbps	135MHz	CL28VBE-135MHz	+2.5V	常時在庫
	1.485Gbps 2.97Gbps	148.5MHz	CL20VBC-148.5MHz	+2.5V	常時在庫
			CL28VBE-148.5MHz	+2.5V	常時在庫
	1.5Gbps/3Gbps 6Gbps	150MHz	CL20VBC-150MHz	+2.5V	常時在庫
			CL204BC-150MHz	+3.3V	常時在庫
	2.48832Gbps 3.1104Gbps	155.52MHz	CL20VB-155.52MHz	+2.5V	常時在庫
	3.125Gbps	156.25MHz	CL20VBC-156.25MHz	+2.5V	常時在庫
			CL204B-156.25MHz	+3.3V	常時在庫
CL28VBE-156.25MHz			+2.5V	常時在庫	
動作クロック	200MHz	CL20VBC-200MHz	+2.5V	常時在庫	
		CL204BC-200MHz	+3.3V	常時在庫	
2.125Gbps 4.25Gbps	212.5MHz	CL20VBC-212.5MHz	+2.5V	常時在庫	
		CL28VBE-212.5MHz	+2.5V	常時在庫	
2.5Gbps 5Gbps	250MHz	CL20VBC-250MHz	+2.5V	常時在庫	
3.125Gbps 6.25Gbps	312.5MHz	CL20VBC-312.5MHz	+2.5V	常時在庫	
メモリ インターフェース 用途	シリアル ボーレート	クロック周波数	推奨型番	電源電圧	在庫
	2.66Gbps	133MHz	CL20VBC-133MHz	+2.5V	常時在庫
	5.32Gbps	266MHz	CL20VBC-266MHz	+2.5V	常時在庫

■ <CL20***> と <CL28***>, <CP20***> と <CP28***> の違い

<CL20シリーズ> と <CL28シリーズ> (ともにLVDS)、<CP20シリーズ> と <CP28シリーズ> (ともにLV-PECL) については共に同じ信号規格の差動出力ですが、主にスイッチング特性 (Tr/Tf) にて違いがあります。

CL50シリーズとCL58シリーズ (ともにLVDS)、CP50シリーズとCP58シリーズ (ともにLV-PECL) でも同様です。いずれも源発振のタイプであり、ジッタ・位相ノイズ特性には優れています。

型番	出力	パッケージ	周波数範囲	Tr/Tf	消費電流	RMSジッタ
CL20***	LVDS	7 × 5mm	80MHz～320MHz	0.7ns以下	66mA以下	0.2～0.5pS typ
CL28***	LVDS		13.5MHz～220MHz	0.4nS以下	34mA以下	0.2～0.3pS typ.
CP20***	LV-PECL		80MHz～320MHz	0.7ns以下	88mA以下	0.2～0.5pS typ
CP28***	LV-PECL		13.5MHz～220MHz	0.5nS以下	50mA以下	0.2～0.3pS typ.
CL50***	LVDS	5 × 3.2mm	80MHz～320MHz	0.7ns以下	66mA以下	0.2～0.5pS typ
CL58***	LVDS		13.5MHz～220MHz	0.4nS以下	34mA以下	0.2～0.3pS typ.
CP50***	LV-PECL		80MHz～320MHz	0.7ns以下	88mA以下	0.2～0.5pS typ
CP58***	LV-PECL		13.5MHz～220MHz	0.5nS以下	50mA以下	0.2～0.3pS typ.

※ いずれのタイプでも良い場合には CL200シリーズ/CP200シリーズがもっともリーズナブルになります。

★ 部品選定に際してのポイント

■ 標準周波数の対応について

- ・LVDS, LV-PECL出力のものにつきましては FPGAの外部クロックの推奨部品として多く採用されおり様々な周波数を標準在庫としてご用意しています。

(LVDS/LV-PECL 標準周波数)

24MHz/50MHz/60MHz/78.125MHz/80MHz/100MHz/106.25MHz/125MHz/133MHz/135MHz
144MHz/148.5MHz/150MHz/155.520MHz/156.250MHz/160MHz/161.1328MHz/200MHz
212.5MHz/250MHz/266MHz/311.500MHz/500MHz/622.080MHz

- ・CMOSクロックでは、同様に認定されている周波数を標準としています。

(CMOS 標準周波数)

2MHz/24MHz/25MHz/27MHz/30MHz/48MHz/50MHz/74.175824MHz/74.250MHz/
100MHz/125MHz/133MHz/155.520MHz

(時計用 32.768KHz)

時計用の32.768KHz向けに超小型で超低消費電流の〈OV-7604-C7〉を常時標準在庫としてリール及びリールカットの形でご用意しています。

■ 標準外周波数の対応について

標準外周波数の場合には開発から必要になる場合があります。
弊社営業窓口までご相談下さい。

■ 標準在庫品情報をWEBサイトで公開しています

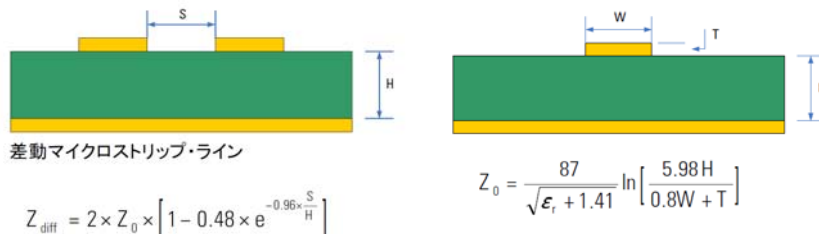
WEBサイトでリアルタイムの在庫情報をご確認頂けるよう在庫情報を公開しています。
(<http://www.tamadevice.co.jp/stock-list.htm>)

※ 標準在庫品は納期(入手性)がよく、価格的にも有利になるため、なるべく在庫品のものを選定頂くと後々の量産時にも有利になります。

★ ご使用時の注意事項

■ LVDS信号パターンレイアウト

- LVDS出力の発振器の出力は必ず100Ωで終端し、100Ωの終端抵抗は出来るだけ負荷側に近い部分に挿入して下さい（波形の乱れを抑えるため）。
- 差動信号のパターン配線は必ず対になるよう同じ長さで配線し、信号線の差動インピーダンスが100Ωになるようパターン幅・パターン間隔を設計して下さい。



- パターン間隔は近接させることで同心円状の磁力線は打ち消す方向に働き、また同心円状の電気力線は結合するように働くため、ノイズの放射量は大幅に小さくなります。
- 発振器の出力からFPGAなどデバイスまでの配線はなるべく最短とし、発振器の出力部のなるべく短いところから適切なパターン幅・パターン間隔でデバイスの入口まで配線して下さい。
- パターンの曲げが必要な場合にはインピーダンスの不連続を防ぐために90°で曲げずに45°もしくは斜角を付けて下さい。
- 一般にLVDS信号を扱う基板では4層以上の構成とし、Vdd層・GND層・LVDS信号層・その他の信号層と分け、LVDS信号層とその他の信号層の間にGND層を設けてクロストークの対策とするのが適切です。

（参考資料：ナショナルセミコンダクター社『LVDSオーナーズ・マニュアル』）

■ ジッタ・位相ノイズについて

- ジッタ及び位相ノイズについては、水晶発振器単体のジッタ・位相ノイズ特性の他に電源ラインからのノイズ、他の信号ラインからのノイズの影響も受けます。
- 特に電源ラインノイズはそのまま特性に影響が出るため、ジッタ・位相ノイズが問題になる場合は、パソコンの追加などで電源ラインのノイズを低減することが重要です。
- ジッタ・RMSジッタは 時間単位で見た場合は周波数ごとに値は変わります。

型番	周波数	RMSジッタ *
CL20シリーズ*	125MHz	0.48pS typ.
	156.25MHz	0.40pS typ.
	200MHz	0.28pS typ.
	250MHz	0.23pS typ.
CL28シリーズ*	125MHz	0.31 ps typ.
	156.250MHz	0.17 pS typ.
	200MHz	0.16 pS typ.

(実測値)

* RMSジッタ ----- 12KHz~20MHz オフセットでの値

■ 基板上での波形測定

- ・ LVDS発振器の出力を実際の基板上で波形測定される場合には必ず高周波の差動プローブをご利用下さい。シングルエンドの波形測定の際には、差動プローブの片側を信号ラインのパッド、もう片側(GND側)を発振器の金属部分のキャップ(GNDに接続されています)にてあたると、余計なケーブル延長などせずにきれいな波形測定が行えます。